

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60015944 A**(43) Date of publication of application: **26.01.85**

(51) Int. Cl. **H01L 21/76**  
**// H01L 27/08**

(21) Application number: **58123235**(22) Date of filing: **08.07.83**(71) Applicant: **HITACHI LTD**

(72) Inventor: **TAMAOKI YOICHI**  
**KURE TOKUO**  
**SHIBA TAKEO**

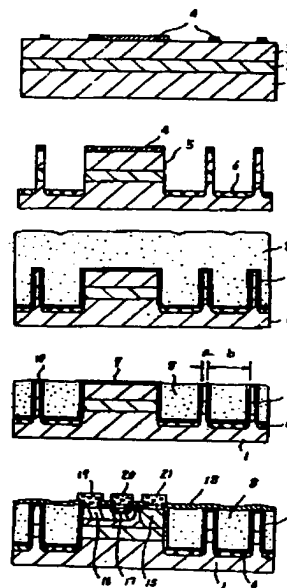
## (54) SEMICONDUCTOR DEVICE

## (57) Abstract:

**PURPOSE:** To flatten a semiconductor device through an easy process, and to reduce wiring capacitance by reticulately forming a narrow insular region in an isolation region.

**CONSTITUTION:** A collector buried layer 2 is formed on the surface of a Si substrate 1, a Si epitaxial layer 3 as an active section for a transistor is shaped on the layer 2, and the whole is thermally oxidized. Grooves 5 approximately vertical to Si are formed, and ions are implanted while using residual  $\text{SiO}_2$  films 4 as masks. The  $\text{SiO}_2$  films 4 are removed, a thin  $\text{SiO}_2$  film 7 is formed on the surfaces of the grooves through second thermal oxidation, and a  $\text{SiO}_2$  film 8 in thickness in the same extent as the depth of the grooves is deposited on the film 7. The  $\text{SiO}_2$  film 8 is etched to obtain a flat surface. The width b of the groove must be brought within approximately one and a half times as long as the depth of the groove. It is preferable that the width (a) of Si of island sections is brought to the size of one fifth or less of (b) in order to reduce wiring capacitance. Openings are bored to a passivation film 18, and a base electrode 19, an emitter electrode 30 and a collector electrode 21 are formed, thus completing the transistor.

COPYRIGHT: (C)1985,JPO&amp;Japio



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—15944

⑮ Int. Cl.<sup>4</sup>  
H 01 L 21/76  
// H 01 L 27/08

識別記号

1 0 1

庁内整理番号  
M 8122—5F  
7925—5F

⑬ 公開 昭和60年(1985)1月26日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

⑯ 特 願 昭58—123235  
⑰ 出 願 昭58(1983)7月8日  
⑱ 発 明 者 玉置洋一  
国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内  
⑲ 発 明 者 久礼得男  
国分寺市東恋ヶ窪1丁目280番

⑳ 発 明 者 芝健夫  
国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内  
㉑ 出 願 人 株式会社日立製作所  
東京都千代田区神田駿河台4丁  
目6番地  
㉒ 代 理 人 弁理士 高橋明夫 外1名

地株式会社日立製作所中央研究  
所内

明 細 書

発明の名称 半導体装置

特許請求の範囲

半導体基板に形成された溝内に絶縁物を充填して素子間の絶縁分離を行なう半導体装置において、上記分離領域内に一定の長さ以下の間隔をおいておおよそ1 $\mu$ m以下の幅を有する島状領域を網目状に有することを特徴とする半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は、半導体装置に関し、詳しくは、半導体基板に形成された溝に絶縁物を充填して、複数の半導体素子を互いに電気的に分離する半導体装置に関する。

〔発明の背景〕

半導体基板に溝を形成して溝内に絶縁物を充填して半導体素子間の絶縁分離(アイソレーション)を行なう方法は、従来の選択酸化法に比べて、所要面積と寄生容量が非常に小さく、高集積・高速LSIに適した方法である。ところが、LSIに

必要とされる種々の溝幅の溝に絶縁物を平坦に埋込む必要があるため、その平坦化のためにプロセスが複雑になる欠点があった。そこで、溝の幅を制限して平坦化を容易にする方法が用いられていたが、溝の幅を制限すると不要の能動領域が発生し、配線容量が増大して回路の動作速度が低下する欠点があった。

〔発明の目的〕

本発明の目的は、上記従来技術の欠点を除去し、容易なプロセスで平坦化が出来、しかも配線容量を小さくすることのできる半導体装置を提供することである。

〔発明の概要〕

上記目的を達成するために、本発明はアイソレーション領域の中に、幅の狭い島状領域を網目状に設けて、平坦化を容易にすると同時に、溝幅と網目島の幅の比を5倍以上にすることによつて配線容量を有効に低減している。島状領域を線状にせず網目状にしているので、狭い島状領域を設けた場合に線状では横方向の力に弱くて、洗浄等

のプロセスで島が折れたりして破損するが、その欠点はなくなつた。

#### 〔発明の実施例〕

以下、バイポーラ集積回路の製造に関する実施例を用いて本発明を詳細に説明する。

第1図に示すように、Si基板1の表面にコレクタ埋込層2を設け、その上にトランジスタの能動部分となるSiエピタキシャル層3(厚さ1~1.5 $\mu$ m)を形成した後、熱酸化を行なつてSiO<sub>2</sub>膜4を形成し、さらに、ホットエッチング法を用いて、溝を形成すべき領域にある上記SiO<sub>2</sub>膜を選択的に除去した。

次に、第2図に示すように、反応性スパッタエッチングなど周知のドライエッチング技術を用いてSiにはほぼ垂直の溝5を形成し、残つたSiO<sub>2</sub>膜4をマスクにしてイオン打込みを行ない、溝の底部のSi基板にチャネルを防止する拡散層6を形成した。

次に、第3図に示すようにSiO<sub>2</sub>膜4を除去し、再度熱酸化を行なつて溝の表面に薄いSiO<sub>2</sub>膜7(厚さ50~200nm)を形成し、その上に通常のCVD法で溝の深さと同程度の厚さのSiO<sub>2</sub>膜8を堆積した。

次に、第4図に示すように、等方的なエッチング法(ウェット法でもドライ法でも良い)を用いてSiO<sub>2</sub>膜8をエッチングして平坦な表面を得た。

ここで、幅の広い島9はトランジスタ等の素子が形成される領域で、幅の狭い島10は平坦化を容易にするための領域である。

ここで、溝の幅bは溝の深さの約1.5倍以内にすることが必要である(溝の中央部にSiO<sub>2</sub>膜8の凹部が発生しない条件)。また、島部のSiの幅aは、配線容量を低減するためにbの1/5以下の寸法にすることが望ましい。従つて、幅aは出来るだけ小さくする必要があるが、この幅が0.5 $\mu$ m程度になると強度が弱くなつて長いパターンは折れやすくなる。そこで第5図の平面図に一例を示すように狭い島のパターン11を網目状に配置することによつて狭い島10の破損を防止する

ことができる。ここで、網目のくり返し間隔はX方向とY方向で必ずしも等しくする必要はなく、一方向を平坦化に必要な間隔に設定すれば他方はそれよりも大きくしても良い。また、素子の形成される領域12の周辺はアイソレーションが必要なので、第5図のように網目パターンとの間にギャップ13を設ける必要がある。更に、ギャップを設けたために支えのない長いパターンが発生する場合には破線14のように島を追加することが望ましい。

さて、第6図に示すように、第4図の後、コレクタ取出し用拡散層15、ベース拡散層16、エミッタ拡散層17を形成し、さらに、パッシベーション膜18を開孔して、ベース電極19、エミッタ電極20、コレクタ電極21を形成してトランジスタが完成した。

本実施例では、垂直の溝形状の場合について述べたが、第7図に示すように、溝の上部に傾斜をつけることも可能である。この場合には能動領域の幅が若干小さくなるが、埋込SiO<sub>2</sub>膜のカバ

レッジが向上する、配線容量が更に小さくなる等の長所がある。また、微細加工技術を用いて分離領域中の島の幅を0.5 $\mu$ m以下にして、酸化時にすべてSiO<sub>2</sub>膜に変換することも可能である。<sup>(本発明)</sup>この場合には配線容量は、狭い溝のみの場合の約1/10まで減少し、回路速度は約50%向上する。

#### 〔発明の効果〕

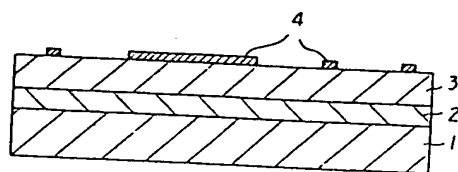
このようにして製作されたバイポーラLSIは分離領域に薄いSiO<sub>2</sub>膜8が存在し、しかも分離領域中の島10の幅が小さいため、配線容量が狭い溝のみの場合の約1/5に減少し、回路が約30%高速化した。

#### 図面の簡単な説明

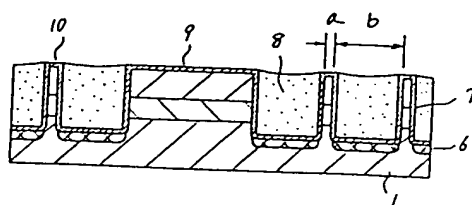
第1図~第4図、第6図は本発明の一実施例としての半導体装置の概略工程図、第5図は同実施例を示す平面図、第7図、第8図はそれぞれ本発明の他の実施例を示す断面図である。

1...Si基板、2...コレクタ埋込層、3...Siエピタキシャル層、4、7、8...SiO<sub>2</sub>膜。

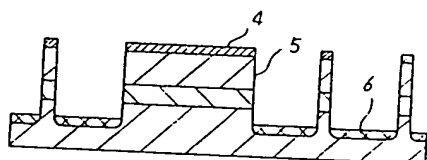
第 1 図



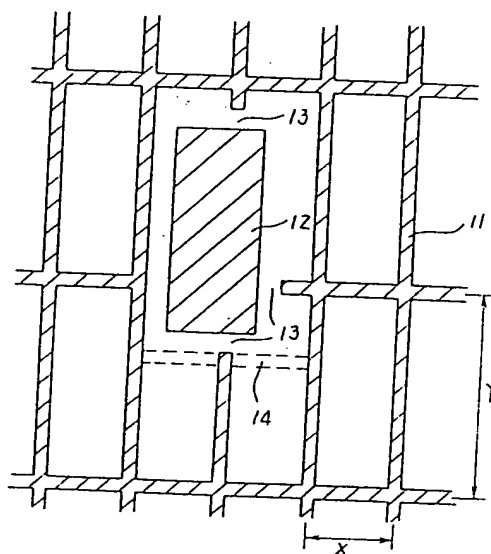
第 4 図



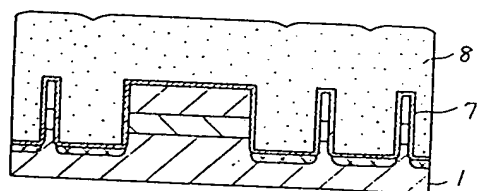
第 2 図



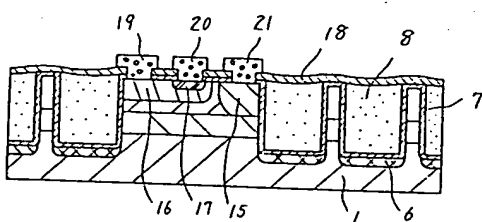
第 5 図



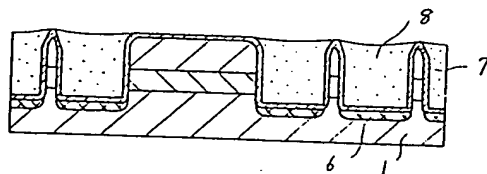
第 3 図



第 6 図



第 7 図



第 8 図

